

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H03B 5/36

[12] 发明专利申请公开说明书

[21] 申请号 98802217.6

[43]公开日 2000年3月1日

[11]公开号 CN 1246219A

[22]申请日 1998.2.3 [21]申请号 98802217.6

[30]优先权

[32]1997.2.5 [33]US [31]08/795,978

[36]国际申请 PCT/US98/01796 1998.2.3

[87]国际公布 WO98/34338 英 1998.8.6

[85]进入国家阶段日期 1999.8.2

[71]申请人 福克斯企业股份有限公司

地址 美国佛罗里达州

共同申请人 杰特西提电子公司

[72]发明人 J·W·法利斯加德

E·S·特雷费森

[74]专利代理机构 上海专利商标事务所

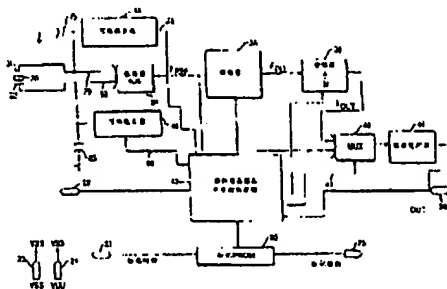
代理人 陈亮

权利要求书 4 页 说明书 7 页 附图页数 4 页

[54]发明名称 可编程晶体振荡器

[57]摘要

本发明提供一种可编程晶体振荡器,它具有存储器,用于存储频率定义参数。典型地,这些中的一个参数用于对耦合到晶体的可调节容性负载电路进行编程,由此调节晶体的源频率。另外的参数用于对锁相环电路的输出频率进行编程,所述锁相环路被耦合以接收被调节的源频率。还可以用其它的参数来对锁相环电路的输出频率进行分频,以提供指定的输出频率。可将振荡器制造成一般的可编程晶体振荡器而不需考虑输出频率,然后高速编程,以高的精度产生顾客所指定的输出频率。



ISSN 1008-4274

权 利 要 求 书

1.一种计时电路, 其特征在于包含:

用于产生源频率的晶体;

耦合到所述晶体的可编程负载电路;

耦合用于接收所述源频率的振荡器电路;

耦合到所述振荡器电路用于接收所述源频率的倍频器电路; 及

编程电路, 配置来提供第一编程数据给所述可编程负载电路, 以调节所述源频率, 并提供第二编程数据提供给所述倍频器电路, 从而使所述倍频器电路提供输出频率, 它大致上等于所述调节源频率与由所述第二编程数据所指定倍增因。

2.如权利要求 1 所述的计时电路, 其特征在于所述可编程负载电路是可编程的容性负载电路。

3.如权利要求 2 所述的计时电路, 其特征在于所述源频率通过耦合到所述晶体的源频率路径而加以提供, 所述可编程容性负载电路包含:

多个电容器, 把被选的所述多个电容器之一耦合到所述源频率的路路。

4.如权利要求 3 所述的计时电路, 其特征在于所述可编程容性负载电路还包含:

多个开关元件, 每一个都具有共同连接到所述源频率路径的第一终端, 以及耦合到所述多个电容器中相应之一的第二端。

5.如权利要求 4 所述的计时电路, 其特征在于所述编程电路根据存储在那里的所述第一编程数据产生多个输出信号, 所述多个输出信号提供给所述可编程容性负载电路, 以激励所述多个开关元件中选出的一个开关元件, 从而使所述电容器的相应之一连接到所述源频率的路径。

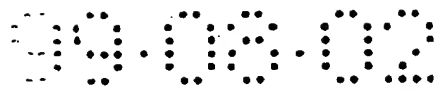
6.如权利要求 4 所述的计时电路, 其特征在于所述多个开关元件的每一个都包含一个 MOS 晶体管。

7.如权利要求 1 所述的计时电路, 其特征在于所述倍频器包含锁相环电路。

8.如权利要求 1 所述的计时电路, 其特征在于所述第二编程数据包含第一参数 P 和第二参数 Q, 所述输出频率(F_{out})和所述调节源频率(F_{adj})满足:

$$F_{out} = F_{adj}(P/Q)$$

9.如权利要求 7 所述的计时电路, 其特征在于所述倍频器环电路包含:



第一分频器，用于将所述经调节的源频率除以所述第二编程数据的第一参数，以产生第一频率；

包含在所述锁相环电路中的第二分频器，用于将所述输出频率除以所述第二编程数据的第二参数，以产生第二频率；及

包含在所述锁相环电路中并被耦合以接收所述第一和第二频率的探测器，所述探测器响应于所述第一和第二频率而输出控制信号，用以控制所述输出频率的产生。

10.如权利要求 9 所述的计时电路，其特征在于还包含：

第三分频器电路，耦合到所述锁相环电路和所述编程电路，用于将所述输出频率除以存储在所述编程电路中的所述第二编程数据的第三参数。

11.如权利要求 7 所述的计时电路，其特征在于提供所述被调节的源频率给分频器电路，以产生小于 200Khz 的所述锁相环电路的环路频率。

12.如权利要求 11 所述的计时电路，其特征在于所述环路频率在 32KHz 到 50Khz 的范围以内。

13.如权利要求 11 所述的计时电路，其特征在于所述环路频率在 42.395KHz 到 43.058KHz 的范围以内。

14.如权利要求 9 所述的计时电路，其特征在于所述探测器根据所述一和第二频率之间的相位差，输出所述控制信号，所述锁相环电路还包含：

电荷泵电路，接收所述控制信号以及相应地输出 DC 信号；

环路滤波器；及

通过所述环路滤波器耦合到所述电荷泵的压控振荡器，所述压控振荡器在所述 DC 信号的控制下产生所述输出频率。

15.如权利要求 1 所述的计时电路，其特征在于还包含专用的外部程序端，用于送入所述第一和第二编程数据，以存储在包含在所述编程电路中的可编程只读存储器中。

16.一种可编程计时电路，其特征在于包含：

晶体；

振荡器电路，它被耦合以激励所述晶体到产生源频率；

耦合到所述晶体，并配置得可对所需负载电容进行编程的容性负载电路，以便选择性地调节所述源频率；及



耦合到所述振荡器电路的锁相环电路，所述锁相环电路产生输出频率，作为所述被调节的源频率和倍增因子的乘积。

17.如权利要求 16 所述的可编程计时电路，其特征在于还包含：

存储器，耦合到所述锁相环电路和所述可编程容性负载电路，用于存储编程数据，所述编程数据包含第一参数，用于将所述容性负载电路编程到所需负载电容，以及第二参数，用于将所述锁相环电路编程到所述倍增因子。

18.如权利要求 17 所述的可编程计时电路，其特征在于所述存储器包含 PROM。

19.如权利要求 17 所述的可编程计时电路，其特征在于所述晶体通过输入路径耦合到所述振荡器电路，所述可编程容性负载电路包含：

多个电容器；及

多个开关元件，每一个所述开关元件具有耦合到所述多个电容器中相应的一个电容器的第一终端，以及耦合到所述输入路径的第二终端，所述存储器提供所述第一参数作为多个信号，以激励所述多个开关元件中选出的一个开关元件，由此将所述多个电容器中所述相应的一个电容器耦合到所述输入路径。

20.如权利要求 19 所述的可编程计时电路，其特征在于所述多个开关元件中每一个都包含 MOS 晶体管。

21.如权利要求 17 所述的可编程计时电路，其特征在于还包含专用编程终端，它提供用于存储在所述存储器中所述编程数据的外部入口。

22.一种可编程晶体振荡器，其特征在于包含：

具有关联源频率的晶体；

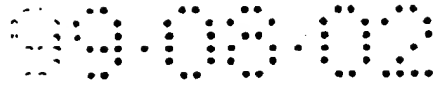
振荡器电路；

耦合所述晶体到所述振荡器电路的输入路径；

耦合到所述输入路径的可编程容性负载，用于根据负载参数调节所述源频率；

锁相环电路，被耦合以接收所述经调节的源频率，并相应地产生环路频率，所述锁相环电路将所述环路频率乘以频率参数，以产生想要的输出频率；及

编程电路，耦合到所述可编程容性负载电路以及所述锁相环电路，所述编程电路存储所述负载以及频率参数，以分别编程所述容性负载电路和所述锁相环电路。



23.如权利要求 22 所述的可编程晶体振荡器, 其特征在于所述晶体是工业标准的钟表晶体, 它具有本质上为 32.768Khz 的关联源频率。

24.如权利要求 1 所述的计时电路, 其特征在于还包含:

第一 PROM, 用于存储标识数据;

编程终端, 用于用所述标识数据编程所述第一 PROM; 及

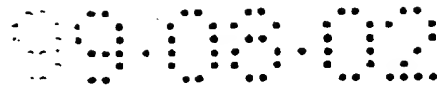
第一输出终端, 用于将所述识别数据从所述第一 PROM 读出。

25.如权利要求 24 所述的计时电路, 其特征在于还包含:

第二 PROM, 由通过所述程序终端进入的所述第一和第二编程数据编程; 及

第二输出终端, 用于输出所述输出频率, 并接收时钟脉冲以时钟触发所述识别数据至所述第一 PROM 中, 和时钟触发所述第一和第二编程数据至所述第二 PROM 中。

26.如权利要求 25 所述的计时电路, 其特征在于还包含第二输入终端, 用于接收时钟信号, 以从所述第一 PROM 将所述识别数据读出到所述第一输出终端上。



说明书

可编程晶体振荡器

背景技术

本发明涉及一种可编程晶体的振荡器。具体说，本发明尤其针对具有耦合于晶体的可调节容性负载电路的可编程晶体振荡器。

晶体振荡器广泛使用于产生计时信号给电子硬件，诸如计算机、仪表和电信设备。晶体振荡器典型地包含石英晶体和振荡器电路，它电气激励晶体，以便在由晶体的物理特性决定的谐振频率下产生振荡信号。振荡器电路或分立的输出电路(缓冲器)将振荡信号的波形控制成电子硬件可接受的计时脉冲串。

计时频率由电子硬件厂商指定，由此它在宽的频率范围内变化。但是，晶体的谐振频率由其物理特性，即尺寸、形状、晶体结构等决定。修整晶体的谐振频率可以通过选择镀敷在晶体表面的金属来实现。因此，晶体振荡器的制造是个费时费钱的复杂过程。这样，晶体振荡器的供应者便采购大量的晶体振荡器，使它们制造成具有各种各样的标准输出频率。但是，如果顾客需要自定的频率，则厂家通常必需“从零开始”，通过将晶锭切成特定尺寸的晶体片，然后使晶体片经受许多处理步骤(研磨、腐蚀和镀敷)，所有这些都设计成用以实现顾客自定的输出频率。顾客自定的晶体振荡器是高价，并需要长的制造投产准备阶段(数月)。

由于事实上所有晶体都能够振动，故制造效率非常高的。但是，如果晶体的谐振频率无法修整得满足一个顾客的频率指定，则通常将晶体编入产品清单，希望能用于满足另一个顾客的频率指定。在顾客自定的晶体振荡器的情况下，厂商生产过量的自定晶体，以确保能满足顾客对(输出频率以及质量这两者)需要的晶体的足够批量乃非罕见。于是将过剩的晶体振荡器列入产品清单。保持大量的晶体产品清单表示重大的制造损失。

发明概述

相容于本发明的系统和方法通过提供计射电路来解决传统方法中的一些缺点。该计射电路包括：用以产生源频率晶体的、耦合到晶体的振荡器电路以及耦



合到晶体的可编程负载电路。将倍频器电路耦合到振荡器电路，以接收经过调节的源频率。另外，还包含编程电路，以提供第一编程数据给可编程负载电路来调节晶体的源频率，以及第二编程数据给倍频器电路。倍频器电路又提供输出频率，该输出频率等于经过调节的源频率和由第二编程数据指定的倍增因子的乘积。

本发明的优点将在以下描述中部分地提出，并从描述中显而易见，或可通过本发明的实践加以知道。另外，将借助于所附权利要求具体指出的诸元件和组合，来实现和获取本发明的优点。

应该理解，上述一般的描述和下面详细的描述只是示范性和解释性的，正如权利要求那样并非对本发明的限制。

这里所结合并构成本说明书一部分的附图描述了本发明的实施例，并且与描述部分一起用于解释本发明的原理。

附图概述

图 1 是描述根据本发明实施例一可编程晶体振荡器封装的示范性封装配置的平面图；

图 2 是根据本发明实施例一可编程晶体振荡器的方块图；

图 3 是包含在图 2 可编程晶体振荡器中的可编程容性负载电路的详细电路示意图；及

图 4 是包含在图 2 可编程晶体振荡器中的锁相环路电路示意图。

最佳实施例

现在将对本发明目前的较佳实施例进行详细描述，它的一个例子在附图中有描述。只要可能，在所有的附图中将使用相同的标号指示相同或类似的部件。

按本发明，可编程晶体振荡器设置有存储器，用于存储输出频率定义参数。典型地，将这些参数中的一个用于对耦合到晶体的可调容性负载电路进行编程，由此调节晶体的源(谐振)频率。将另外的参数用于对被耦合以接收经过调节的源频率的锁相环电路的输出频率进行编程。结果，通过将适当的参数作为编程数据存储在存储器中，并根据这些参数进行编程，几乎所有能够振荡的晶体都可以用于根据本发明的晶体振荡器中，随后可以对它们编程，以产生宽范围的特定的输



出频率。另外，可以迅速而低成本地进行这样的频率编程。

在图 1 中根据本发明描述了可编程晶体振荡器的实施例。该振荡器 20 可以生产成各种各样的工业标准尺寸，并且根据振荡器拟在其具体应用中的安装方式而有两种基本封装配置，即引脚穿孔和表面安装(SMD)。这里描述的实施例具有六个输入/输出(I/O)终端，它们由标记时钟脉冲终端 21、专用程序输入终端 22、接地(VSS)终端 23、电源(VDD)终端 24、标记输出终端 25 和时钟信号输出(F_{out})/编程时钟脉冲输入(CLK_{in})终端 26 构成。如下面将详细描述的，将编程数据在由提供给终端 26 的时钟脉冲(CLK_{in})控制的时刻通过终端 22 送入。

当通过编程数据对可编程晶体振荡器 20 编程时，它在终端 26 上产生时钟信号输出(F_{out})，它的编程频率符合顾客指定的目标频率(在例如 380KHz 到 175MHz 的宽范围中的任何地方)，并且具有 $\pm 100\text{ppm}$ (parts per million)或更好的精度。以百分比表示，100ppm 等于目标频率的 $\pm 0.01\%$ 。根据本发明的一个特点，晶体振荡器 20 包括可编程只读存储器(PROM)50，(图 2)，在其中可把以顾客数据形式编程的数据在由厂商对振荡器进行编程的时刻提供给终端 26 的时钟脉冲(CLK_{in})所影响的定时控制下，经由程序终端 22 送入。此后，顾客数据可以通过将时钟脉冲提供给终端 21 而在终端 25 上读出顾客数据。如果将此标记数据特性省掉，则图 1 所示的晶体振荡器封装配置可减少到 4 个终端。

由图 2 的方块图更为详细地描述的可编程晶体振荡器 20 包括电气连接在集成电路芯片上的压脚 31 和 32 之间的晶体坯 30，用于由振荡器电路 34 加以激励，并由此产生源振荡信号。这个振荡器电路包含对电阻器、电容器和反相器诸元件的配置，这些元件在晶体振荡器领域中均为熟知的，因此在这里不需描述。在振荡器电路 34 的输出端作为参考频率信号 F_{ref} 出现的源振荡信号的频率大半由晶体片的物理特性决定。

根据本发明的特点，可编程晶体振荡器 20 适应宽广范围的源频率，例如 5.6396MHz 到 27.3010MHz。即即，源频率可以在这个范围以内从晶体到晶体发生变化，而并不危及晶体振荡器 20 待要进行编程的能力，以输出任何由顾客指定的在例如 380Khz - 175MHz 的范围以内的目标频率的时钟信号，并具有至少 100ppm 的工业标准精度。实际上，不同的晶体源频率不需要在编程之前预先知道。

仍然参照图 2，振荡器电路 34 输出提供给倍频器 36(图 4 中描述更为详细)



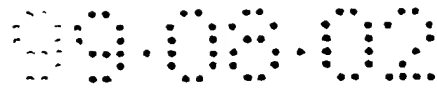
的参考频率 F_{ref} 。倍频器以频率 F_{PLL} 输出时钟信号到分频器 38，它将频率 F_{PLL} 除以从编程网络 42 接收到的可编程参数 N ，以产生符合顾客指定的编程频率的时钟信号 F_{out} 。 F_{out} 和 F_{ref} 信号作为分开的输入提供给多路复用器 40。在编程网络 42 中的程序控制逻辑的控制下，利用路径 43，多路复用器 40 通过输出缓冲器 44 输出时钟信号 F_{out} 或 F_{ref} 输出到终端 26 上。

根据本发明的另一个特性，如果必要，晶体振荡器还包含一对可编程的负载电路 46 和 48，以调节晶体 30 上的容性负载，转而又将晶体的源频率拉至有助于晶体振荡器 20 的最佳编程的频率范围以内，以不仅得到由顾客指定的输出频率精度，而且也得到有助于倍频器 36 稳定操作的低锁相环路频率。

图 3 详细描述了负载电路 46 和 48。负载电路 46 和 48 可以分别包含例如多个电容器 77_1 到 77_n 和 87_1 到 87_n 。电容器 77_1 到 77_n 分别连接在地和第一开关元件或晶体管 78_1 到 78_n 的源极之间，而电容器 87_1 到 87_n 则分别连接到地和第二开关元件或晶体管 88_1 到 88_n 的源极之间。如从图 3 中还可看到的那样，每一个晶体管 78_1 到 78_n 的栅极由来自编程网络 42 的输出端 76_1 到 76_n 中相应的一个输出端加以连接，这在图 2 中集中地表示为 76。这些晶体管的漏极共同连接到源频率输入路径 79，该路径 79 连接晶体压脚 31 至振荡器电路 34。按照类似的方式，将栅极分别连接到来自编程网络 42 的输出端 86_1 到 86_n ，(在图 2 中表示为 86)，而晶体管 88_1 到 88_n 的漏极则共同连接到源频率输入路径 89，后者连接将晶体压脚 32 到振荡器电路 34。此外，设置固定的电容器 75 和 85(每一个都具有例如 35pf 的电容)作为正常晶体坯 30 的额定电容负载。

响应于存储器网络 42 中所存储的参数，将选出的输出路径 76_1 到 76_n 和 86_1 到 86_n 驱动到高电平上，以激励或开通晶体管 78_1 到 78_n 和 88_1 到 88_n 中相应的一个。结果，使与被激励的晶体管相关联的那些电容器 77_1 到 77_n 和 87_1 到 87_n 耦合到源频率输入路径 79 和 89 中的一个。由此，可根据存储在存储器网络 42 中的参数设置晶体坯 30 的容性负载，且因此可将晶体源频率“拉”到所需的范围以内，使总的输出频率调节由信频器电路 36 加以完成。如果不需要晶体频率的“拉动”，则不激励晶体管 78_1 到 78_n 和 88_1 到 88_n 。

每一个电容器 77_1 到 77_n 和 87_1 到 87_n 都可以具有例如 5pf 的电容。另外，电容器 77_1 到 77_n 和 87_1 到 87_n 对称地分别连接到源频率输入路径 79 和 89，从而对于每一个连接到源频率输入路径 79 的电容器 77_1 到 77_n ，使电容器 87_1 到 87_n 中相



应的一个连接到源频率输入路径 89。因此，电容器 77_1 到 77_n 和 87_1 到 87_n 的许多对(来自每一组电容器 77_1 到 77_n 和 87_1 到 87_n 中的一个)分别连接到输入路径 79 和 89，而与每一对电容器相关联的电容量增量变化可以是 2.5pf。正如前面提到的那样，该电容负载调节对于按需使晶体的源频率拉上或拉下，以调节参考时钟信号频率 F_{ref} 至适合于晶体振荡器 20 的最佳频率编程数值乃是有效的。

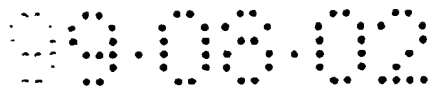
正如图 4 所见，倍频器 36 包括分频器 52，它将参考频率 F_{ref} 除以存储在编程网络 42 中的可编程参数 Q，并将最终时钟信号频率提供给锁相环路(PLL)的相位探测器 54。锁相环路包括电荷泵 56、环路滤波器 60 和压控振荡器 58，压控振荡器 58 产生送到图 2 中分频器 38 的时钟信号频率 F_{PLL} 。这个时钟信号频率 F_{PLL} 还通过分频器 64 被反馈送回相位探测器 54 的第二个输入端。分频器 64 将 F_{PLL} 频率除以也存储在编程网络 42 内的可编程参数 P。

在操作中，参数 Q 和 P(将在下面详细说明)分别从程序网络 42 提供给程序分频器电路 52 和 64。由此参考频率 F_{ref} 在分频器电路 52 中被除以编程参数 Q。如上所述， F_{ref} 响应于晶体 30 的源频率，并且因此而典型地处于 5.64MHz 到 27.3MHz 的范围内。如果 Q 是在 132 到 639 范围以内的整数，则商 F_{ref}/Q (即分频器 52 的输出)可以落在 32KHz 到 50KHz 的范围内，而不必考虑晶体的源频率。商 F_{ref}/Q 是图 4 所示锁相环电路的环路频率。

将环路频率连同分频器 64 的输出提供给相位探测器 54，它典型地输出频率大致上等于分频器 52 和 64 的输出频率之间的差的控制信号。然后将控制信号提供给电荷泵 56，它输出与控制信号的频率成比例的 DC 信号。在电荷泵 56 的输出端设置环路滤波器 60，以限定锁相环路的响应。

然后 DC 信号提供给压控振荡器(VCO)58，它输出频率由 DC 信号的电势控制的时钟信号 F_{PLL} 。再后将时钟信号 F_{PLL} 通过 P 分频器 64 反馈送回相位探测器 54 的输入端中的一个。相应地，按照这样的锁相环路安排， F_{PLL} 等于乘以可编程 P 的环路频率的积，P 是在 2048 到 4097 的范围内的一个整数，从而使 F_{PLL} 在 87.5MHz 到 175MHz 范围以内。时钟信号 F_{PLL} 还被提供给分频器电路 38(见图 2)，它在该分频器电路 38 处被除以下面从编程网络 42 取得的整数参数：1、2、4、8、16、32、64、128 或 256 中的任何一个编程参数，然后通过多路复用器 40 和输出缓冲器 44 作为频率 F_{out} 输出。

相位探测器 54、电荷泵 56、环路滤波器 60 和 VCO58 均旨在代表应用于相



位锁定两个输入信号电路的宽广类别，这在现有技术中是熟知的，故将不进一步描述。

通常，输出频率 F_{PLL} 和 F_{ref} 满足下面的等式：

$$F_{PLL} = F_{ref}(P/Q)$$

因此， F_{PLL} 是环路频率的倍数。相应地，对于相对低的环路频率， F_{PLL} 最后可以小的环路频率增量进行精细调节。如果环路频率太低，则锁相环路可能变得不稳定而导致抖动。因此，已经决定最佳环路频率范围是 32KHz 到 50KHz，较好的范围是 42.395KHz 到 43.059KHz。还可以使用在此范围以上的环路频率(但小于 200KHz)，其输出频率分辨率比通过传统的晶体振荡器 PLL 得到的更好。

但是，用于数字电路定时应用的传统的晶体振荡器锁相环路在明显更高的环路频率，也即，大于 200KHz 下工作。在这些频率下，这样一种传统的晶体振荡器无法获得与本发明可得到的同样高的频率分辨率。典型地，例如多晶硅电容器和其它低噪声元件结合在本发明所使用的锁相环路中，从而使它可在 42.395KHz 到 43.059KHz 较佳范围内的环路频率下工作，而且有相对小的抖动。

正如在申请人相关的专利申请(题为“包括顾客指定频率编程晶体振荡器用策略定位中心在内的全球销售后勤网络”，序号为 08/795,980，于此同时提出，且其内容在这里通过引用加以结合)中更为详细地描述的那样，仅仅 P、Q 和 N 诸参数可能不足以得到足够接近于指定目标频率(例如在 100parts per million(100ppm 以内))的输出频率。在这种情况下，如上所述，拉动晶体源频率，以使得到的输出频率落入可接受的精度范围以内。

由此，可根据本发明可的编程晶体振荡器用来产生基于晶体源频率的宽广范围的输出频率。输出频率通过用可编程电容负载调节源频率，并以相对低的环路频率操作锁相环电路而得。因此，对于任何具有源频率例如在 5.6396MHz 到 27.3010MHz 宽广范围内的晶体，通过单单将合适的 P、Q 和 N 以及晶体拉动参数存储在编程网络 42 中所包含的 PROM 中，均可获得在指定目标频率的 100ppm 或更小，以内的晶体振荡器输出频率。如在引用的待批申请中所指出的那样，可把晶体振荡器 20 制造成一般的可编程晶体振荡器而不用考虑顾客所指定的输出频率，并简单地大约经几秒钟的编程来产生根据顾客指定的输出频率。因此，不需要制造多个标准频率的晶体，由此使制造过程简化，加快并降低成本。这样便可大大减少从顾客购货定单到产品交割的投产准备阶段。

99.08.02

虽然文中已用标准微机处理型晶体坯(它在 5.6396MHz 到 27.3010MHz 的范围内振荡)描述了本发明,但如上所述,将会了解到,本发明可以使用工业标准的钟表晶体(大量生产,以 32.768KHz 振荡)来实现.在这种情况下,可以得到所需要的低锁相环路频率,而无需图 4 倍频器 36 中的分频器 52.于是晶体坯 30 将实际上以直接驱动的关系与锁相环电路相耦合.依仗于大量生产,钟表晶体的成本明显低于微机处理型晶体,故在生产根据本发明的可编程晶体振荡器时,可以实现进一步的节约.

对于熟悉现有技术的人,很明显,可对本发明的可编程晶体振荡器以及这种可编程晶体振荡器的结构作出各种修改和变化,而不背离本发明的范围或主旨.

从这里所揭示的本发明的说明书和实践考虑,对于熟悉本领域的人将会明显本发明的其它实施例.所希望的是,说明书和例子只是示例性的,而本发明的真正的范围和主旨则由下面的权利要求加以指出.

99.08.02

说明书附图

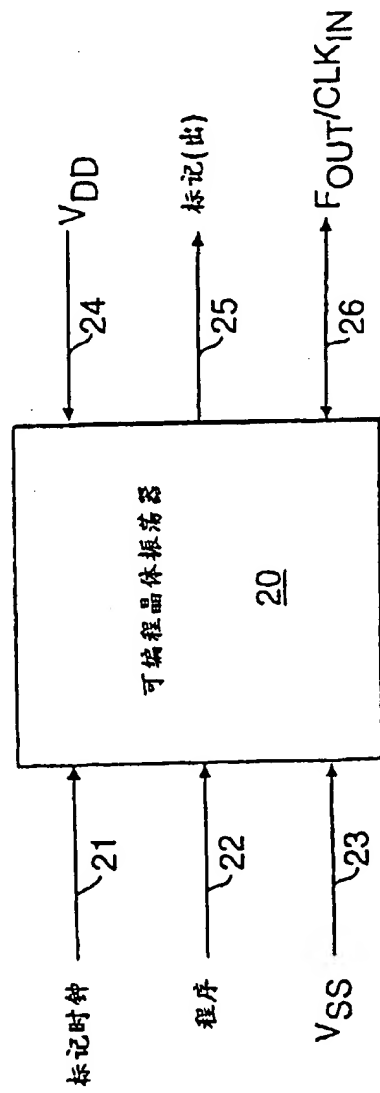


图 1

00.00.00

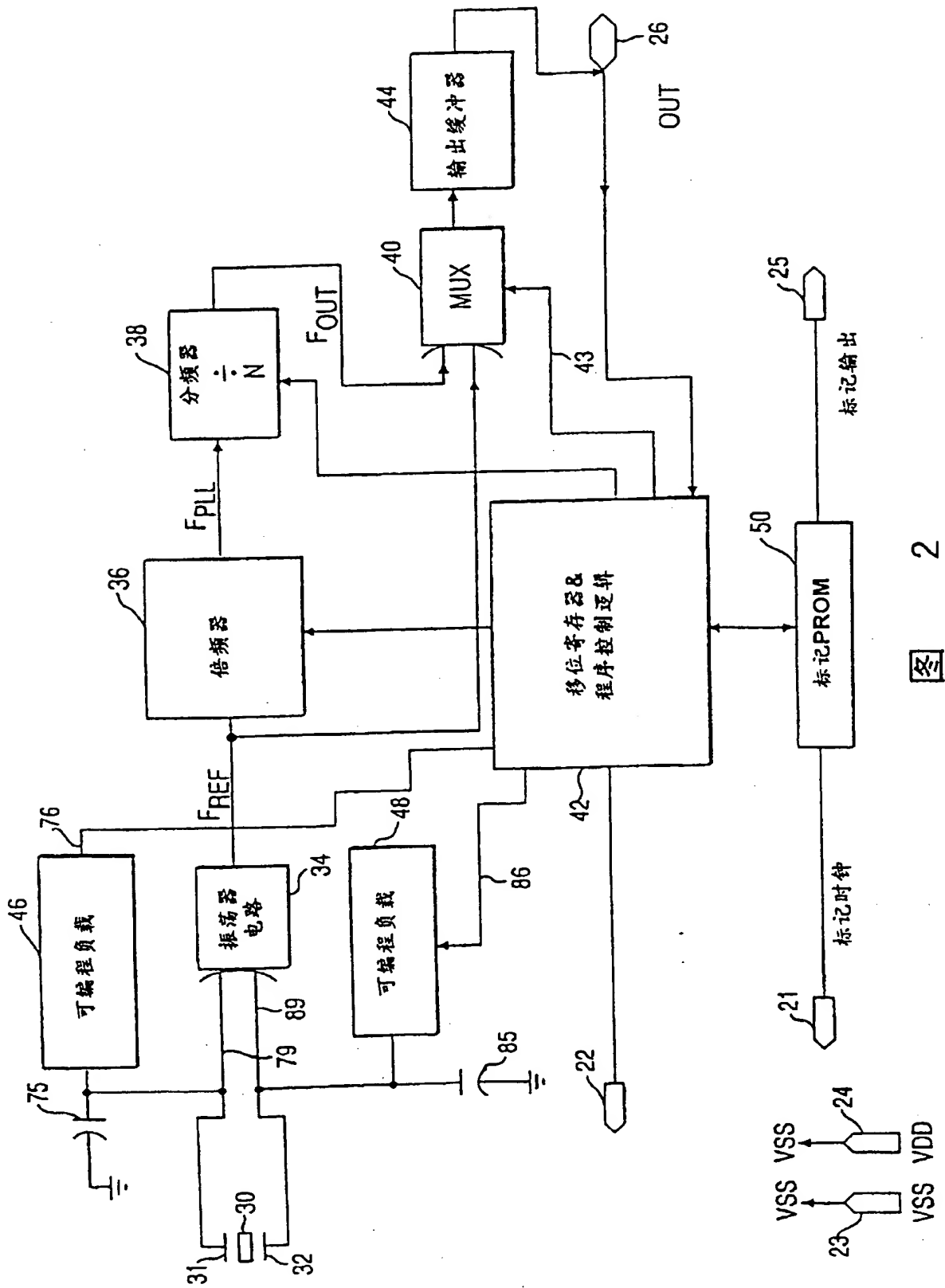


图 2

09.08.02

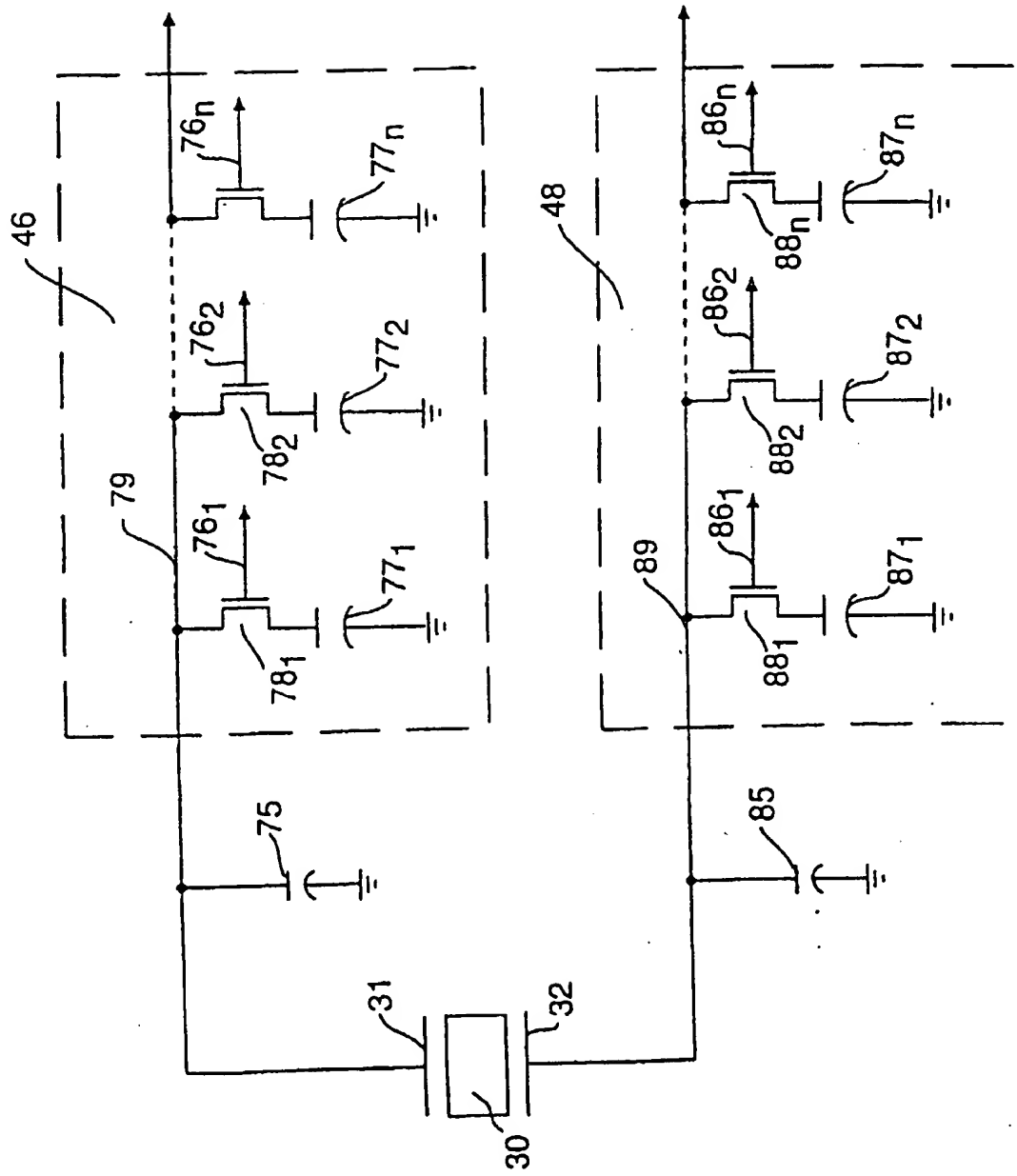


图 3

39.08.02

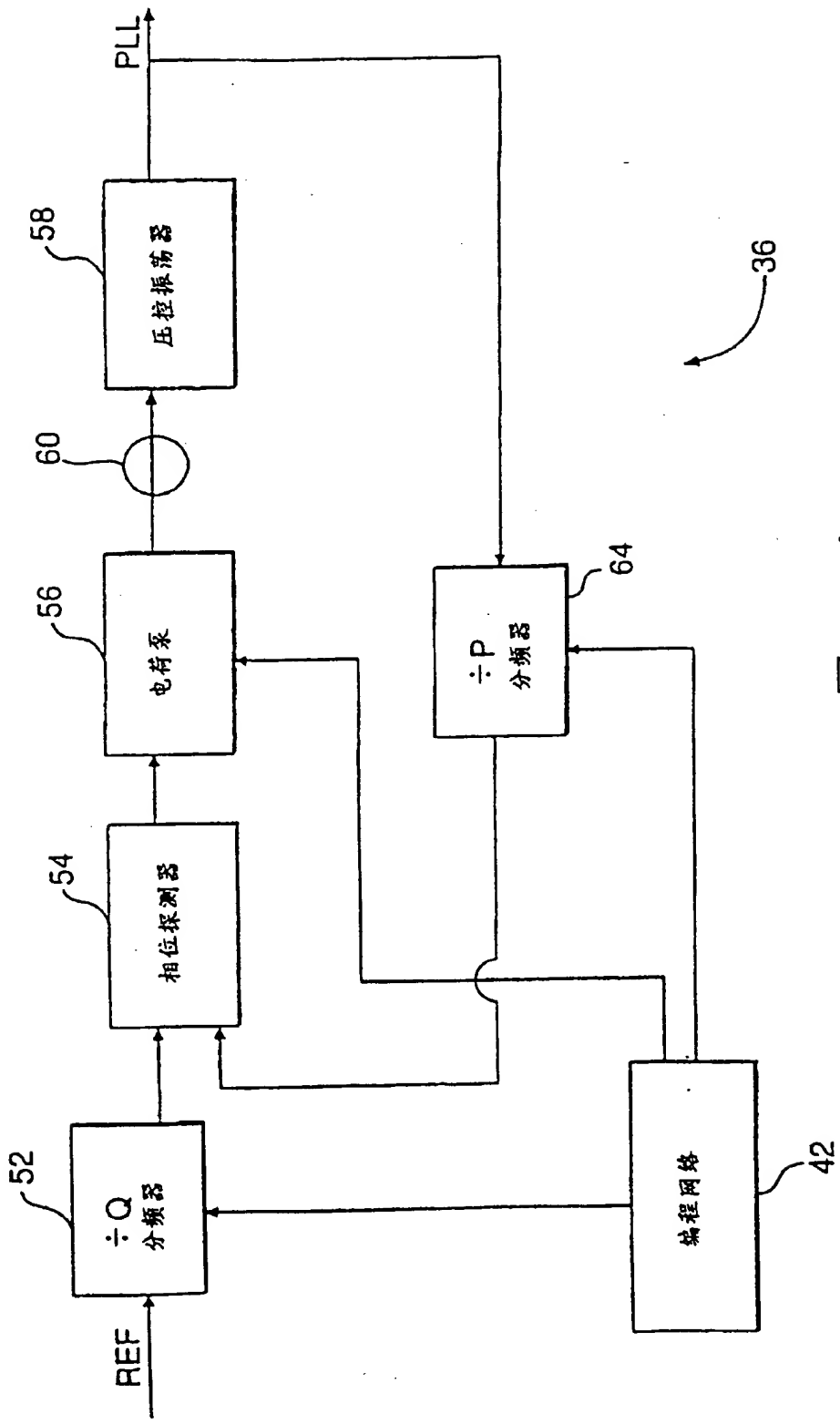


图 4